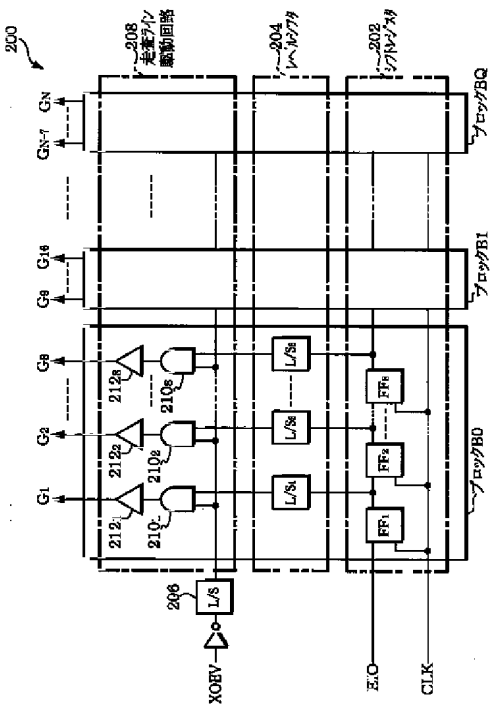


(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード（参考）
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 D
			6 2 1 L
審査請求 未請求 請求項の数10 O L （全 21 頁） 最終頁に続く			

(21)出願番号	特願2001－155195(P2001－155195)	(71)出願人	000007369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成13年5月24日(2001.5.24)	(72)発明者	森田 晶 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	100090479 弁理士 井上 一 （外2名）
		最終頁に続く	

(54)【発明の名称】 走査駆動回路、表示装置、電気光学装置及び走査駆動方法

(57)【要約】  
【課題】 高画質化と低消費電力化とを両立させる走査駆動回路、これを用いた表示装置、電気光学装置及び走査駆動方法を提供する。  
【解決手段】 走査ドライバ50は、走査ラインに対応したフリップフロップFF<sub>1</sub>～FF<sub>N</sub>が直列に接続され、イネーブル入出力信号EIOをクロック信号CLKに同期して順次シフトするシフトレジスタ202と、FF<sub>1</sub>～FF<sub>N</sub>の保持データの電圧レベルをシフトするレベルシフタ回路LS<sub>1</sub>～LS<sub>N</sub>を含むレベルシフタ204と、レベルシフタ回路LS<sub>1</sub>～LS<sub>N</sub>の出力ノードの電位に基づいて走査ラインG<sub>1</sub>～G<sub>N</sub>を順次走査駆動する走査ライン駆動回路208を有する。走査ライン駆動回路208は、所与の複数の走査ラインごとに分割されたブロックを単位として設定された非表示エリアのブロックの走査ラインの走査タイミングに応じて入力される出力イネーブル信号XOEVによりマスク制御することで、パシカル表示制御される。



## 【特許請求の範囲】

【請求項1】 互いに交差する第1～第N（Nは、自然数）の走査ライン及び第1～第M（Mは、自然数）の信号ラインにより特定される画素を有する電気光学装置の第1～第Nの走査ラインを駆動する走査駆動回路であって、

各走査ラインに対応して設けられたフリップフロップが直列接続された第1～第Nのフリップフロップを有し、所与のパルス信号を順次シフトするシフトレジスタと、前記第1～第Nのフリップフロップの出力ノードの電圧レベルをシフトして出力する第1～第Nのレベルシフト回路を含むレベル変換手段と、

第1～第Nのレベルシフト回路の出力ノードの論理レベルに対応して、第1～第Nの走査ラインを順次駆動する第1～第Nの駆動回路を含む走査ライン駆動手段と、を有し、

前記第1～第Nの駆動回路は、

前記第1～第Nの走査ラインが複数の走査ラインごとのブロックに分割される場合に、ブロック単位で選択された走査ラインを、走査駆動することを特徴とする走査駆動回路。

【請求項2】 請求項1において、

走査駆動されるブロックの走査ラインの各走査タイミングに同期した出力イネーブル信号を入力するための入力端子と、

前記出力イネーブル信号に基づいて、第1～第Nのレベルシフト回路の出力ノードの論理レベルをそれぞれマスクするための第1～第Nのマスク回路と、を含むことを特徴とする走査駆動回路。

【請求項3】 請求項1において、

走査駆動されるブロックを指定するブロック選択データを保持するブロック選択データ保持手段を含み、

前記第1～第Nの駆動回路は、

前記ブロック選択データにより走査駆動するブロックとして指定されたブロックの各走査ラインを、走査駆動することを特徴とする走査駆動回路。

【請求項4】 請求項3において、

前記シフトレジスタを構成する第1～第Nのフリップフロップのうち第P（Pは、自然数）のブロックの初段のフリップフロップに入力されるシフト入力と、第Pのブロックの最終段のフリップフロップから出力されるシフト出力のいずれか一方を、第Pのブロックに対応して設定されたブロック選択データに基づいて、第（P+1）のブロックに対して出力するためのバイパス手段を含むことを特徴とする走査駆動回路。

【請求項5】 請求項1乃至4のいずれかにおいて、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、

フレームごとに、前記画素電極に対応する電気光学素子

の印加電圧の極性反転駆動が行われる場合に、

前記走査ライン駆動手段は、

3フレーム以上の所与の奇数フレーム間隔で全走査ラインを順次走査駆動することを特徴とする走査駆動回路。

【請求項6】 請求項1乃至5のいずれかにおいて、

前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、

前記走査ライン駆動手段は、

少なくともブロック単位に走査駆動するブロックの指定が変更されるたびに、全走査ラインを順次走査駆動することを特徴とする走査駆動回路。

【請求項7】 請求項1乃至6のいずれかにおいて、

前記ブロック単位は、8走査ライン単位であることを特徴とする走査駆動回路。

【請求項8】 互いに交差する第1～第Nの走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置と、

前記第1～第Nの走査ラインを走査駆動する請求項1乃至7いずれか記載の走査駆動回路と、

画像データに基づいて前記信号ラインを駆動する信号駆動回路と、

を含むことを特徴とする表示装置。

【請求項9】 互いに交差する第1～第Nの走査ライン及び複数の信号ラインにより特定される画素と、

前記第1～第Nの走査ラインを走査駆動する請求項1乃至7いずれか記載の走査駆動回路と、

画像データに基づいて前記信号ラインを駆動する信号駆動回路と、

を含むことを特徴とする電気光学装置。

【請求項10】 各走査ラインに対応して設けられたフリップフロップが直列接続された第1～第Nのフリップフロップを有し、所与のパルス信号を順次シフトするシフトレジスタと、

前記第1～第Nのフリップフロップの出力ノードの電圧レベルをシフトして出力する第1～第Nのレベルシフト回路を含むレベル変換手段と、

第1～第Nのレベルシフト回路の出力ノードの論理レベルに対応して、第1～第Nの走査ラインを順次駆動する第1～第Nの駆動回路を含む走査ライン駆動手段と、

を有し、

互いに交差する第1～第Nの走査ライン及び第1～第Mの信号ラインにより特定される画素を有する電気光学装置の第1～第Nの走査ラインを駆動する走査駆動回路の走査駆動方法であって、

前記第1～第Nの走査ラインが複数の走査ラインごとのブロックに分割される場合に、ブロック単位で選択された走査ラインが、順次走査駆動されることを特徴とする走査駆動方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、走査駆動回路、これを用いた表示装置、電気光学装置及び走査駆動方法に関する。

## 【0002】

【背景技術及び発明が解決しようとする課題】例えば携帯電話機のような電子機器の表示部には、液晶パネルが用いられており、電子機器の低消費電力化や小型軽量化等が図られている。この液晶パネルについては、近年の携帯電話機の普及によって情報性の高い静止画や動画が配信されるようになると、その高画質化が要求されるようになってきている。

【0003】このような電子機器の表示部の高画質化を実現する液晶パネルとして、薄膜トランジスタ(Thin Film Transistor: 以下、TFTと略す。)液晶を用いたアクティブマトリクス型液晶パネルが知られている。TFT液晶を用いたアクティブマトリクス型液晶パネルは、ダイナミック駆動によるSTN(SuperTwisted Nematic)液晶を用いた単純マトリクス型液晶パネルに比べて、高速応答、高コントラストを実現し、動画等の表示に適している。

【0004】しかしながら、TFT液晶を用いたアクティブマトリクス型液晶パネルは、消費電力が大きく、携帯電話機のようなバッテリー駆動が行われる携帯型の電子機器の表示部として採用することが困難とされている。

【0005】本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、高画質化と低消費電力化とを両立させ、アクティブマトリクス型液晶パネルに好適な走査駆動回路、これを用いた表示装置、電気光学装置及び走査駆動方法を提供することにある。

## 【0006】

【課題を解決するための手段】上記課題を解決するために本発明は、互いに交差する第1～第N(Nは、自然数)の走査ライン及び第1～第M(Mは、自然数)の信号ラインにより特定される画素を有する電気光学装置の第1～第Nの走査ラインを駆動する走査駆動回路であって、各走査ラインに対応して設けられたフリップフロップが直列接続された第1～第Nのフリップフロップを有し、所与のパルス信号を順次シフトするシフトレジスタと、前記第1～第Nのフリップフロップの出力ノードの電圧レベルをシフトして出力する第1～第Nのレベルシフト回路を含むレベル変換手段と、第1～第Nのレベルシフト回路の出力ノードの論理レベルに対応して、第1～第Nの走査ラインを順次駆動する第1～第Nの駆動回路を含む走査ライン駆動手段とを有し、前記第1～第Nの駆動回路は、前記第1～第Nの走査ラインが複数の走査ラインごとのブロックに分割される場合に、ブロック単位で選択された走査ラインを、走査駆動することを特徴とする。

【0007】ここで、電気光学装置としては、例えば互いに交差する第1～第Nの走査ライン及び第1～第Mの信号ラインと、前記第1～第Nの走査ラインと前記第1～第Mの信号ラインに接続されたN×Mのスイッチング手段と、前記スイッチング手段に接続されたN×Mの画素電極とを有するように構成しても良い。

【0008】また、ブロック単位に分割される走査ラインは、互いに隣接した複数の走査ラインであっても良いし、任意に選択された複数の走査ラインであっても良い。

【0009】本発明によれば、電気光学装置の走査ラインを走査駆動する走査駆動回路に、所与の複数の走査ラインごとに分割されたブロックを単位とし、このブロック単位に選択された走査ラインを駆動する第1～第Nの駆動回路を含む走査ライン駆動手段を設けるようにしたので、ブロック単位で走査駆動する表示エリアと、ブロック単位で走査駆動を行わない非表示エリアとからなるパーシャル表示制御を容易に行うことができるようになる。これにより、非表示エリアの走査駆動に伴う電力消費を削減することができる。また、これはライン反転駆動方式や、フレーム反転駆動方式等の反転駆動方式に依存することなく、効果的に低消費電力化を図ることができる。

【0010】また本発明は、走査駆動されるブロックの走査ラインの各走査タイミングに同期した出力イネーブル信号を入力するための入力端子と、前記出力イネーブル信号に基づいて、第1～第Nのレベルシフト回路の出力ノードの論理レベルをそれぞれマスクするための第1～第Nのマスク回路とを含むことを特徴とする。

【0011】ここで、論理レベルをマスクする第1～第Nのマスク回路は、対応する第1～第Nのレベルシフト回路の出力ノードの論理レベルにかかわらず、出力イネーブル信号の状態に応じて、対応する第1～第Nのレベルシフト回路の出力ノードを固定状態(例えば、論理レベル「L」)にする。そして、当該マスクした信号を、後段の第1～第Nの走査ラインを順次駆動する第1～第Nの駆動回路を含む走査ライン駆動手段に供給する。

【0012】本発明においては、第1～第Nの走査ラインを順次走査駆動する第1～第Nの駆動回路が、択一的に各走査ラインを選択するため、各走査タイミングに合わせて入力端子を介して出力イネーブル信号を供給することにより、走査駆動タイミングを変更することなく、所与の走査ラインの駆動を行わないようにすることができる。したがって、非表示エリアの走査ラインの走査タイミングに合わせて、出力イネーブル信号により各レベルシフト回路の出力ノードの論理レベルをマスクすることで、容易にパーシャル表示制御を実現できる。これにより、非表示エリアの走査ラインに走査駆動に消費される電力分を削減することができるようになる。

【0013】また本発明は、走査駆動されるブロックを

指定するブロック選択データを保持するブロック選択データ保持手段を含み、前記第1～第Nの駆動回路は、前記ブロック選択データにより走査駆動するブロックとして指定されたブロックの各走査ラインを、走査駆動することを特徴とする。

【0014】本発明においては、ブロック選択データ保持手段を設け、ブロック単位で、各ブロックの走査ラインを駆動するか否かを示すブロック選択データを保持できるようにした。これにより、ブロック選択データにより選択されたブロックの走査ラインを順次走査駆動する第1～第Nの駆動回路は、任意に走査駆動するブロックを変更することができ、ダイナミックに制御可能なパースシャル表示を容易に実現することができるようになる。

【0015】また本発明は、前記シフトレジスタを構成する第1～第Nのフリップフロップのうち第Pのブロックの初段のフリップフロップに入力されるシフト入力と、第Pのブロックの最終段のフリップフロップから出力されるシフト出力のいずれか一方を、第Pのブロックに対応して設定されたブロック選択データに基づいて、第(P+1)のブロックに対して出力するためのバイパス手段を含むことを特徴とする。

【0016】本発明においては、バイパス手段を設け、ブロック選択データにより走査駆動しないブロックとして指定されたブロックの走査ラインに対応して設けられたフリップフロップに入力されたシフト入力を、隣りのブロックの走査ラインに対応して設けられたフリップフロップにバイパスさせるようにした。したがって、表示エリアに設定されたブロックの走査ラインだけ走査駆動を行えばよいので、所与の垂直走査期間のうち非表示エリアの走査ラインの駆動時間分の消費電力を削減することができる。

【0017】また本発明は、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続されたスイッチング手段を介して設けられた画素電極を有し、フレームごとに、前記画素電極に対応する電気光学素子の印加電圧の極性反転駆動が行われる場合に、前記走査ライン駆動手段は、3フレーム以上の所与の奇数フレーム間隔で全走査ラインを順次走査駆動することを特徴とする。

【0018】本発明によれば、表示エリアに設定されたブロックの走査ラインについては1フレーム周期で走査駆動する一方、非表示エリアに設定されたブロックの走査ラインについては3フレーム以上の所与の奇数フレーム間隔で走査駆動するリフレッシュを行うようにしたので、画素に対応して設けられた電気光学素子の印加電圧の極性反転を行う極性反転駆動方式にも対応することができ、例えばTFTに接続された液晶の劣化を防止させることができるようになる。

【0019】また本発明は、前記電気光学装置は、画素に対応して、前記走査ラインと前記信号ラインに接続さ

れたスイッチング手段を介して設けられた画素電極を有し、前記走査ライン駆動手段は、少なくともブロック単位に走査駆動するブロックの指定が変更されるたびに、全走査ラインを順次走査駆動することを特徴とする。

【0020】本発明によれば、表示エリアに設定されたブロックの走査ラインについては1フレーム周期で走査駆動する一方、非表示エリアに設定されたブロックの走査ラインについては表示エリアの設定、変更、消滅が行われるたびに走査駆動するリフレッシュを行うようにしたので、画素に対応して設けられた電気光学素子に対して所与の頻度で駆動することができるようになる。したがって、例えば一定時間走査駆動が行われないTFTのリークによる非表示エリアのグレイ表示をなくすることができるようになる。

【0021】また本発明は、前記ブロック単位は、8走査ライン単位であることを特徴とする。

【0022】本発明によれば、キャラクタ文字単位で表示エリアと非表示エリアの設定が可能となり、パースシャル表示制御の簡素化と、効果的なパースシャル表示による画像を提供することができる。

【0023】また本発明に係る表示装置は、互いに交差する第1～第Nの走査ライン及び複数の信号ラインにより特定される画素を有する電気光学装置と、前記第1～第Nの走査ラインを走査駆動する上記いずれか記載の走査駆動回路と、画像データに基づいて前記信号ラインを駆動する信号駆動回路とを含むことを特徴とする。

【0024】本発明によれば、パースシャル表示制御による低消費電力化を実現する表示装置を提供することができ、例えばアクティブマトリクス型液晶パネルを適用することで、高画質なパースシャル表示をも実現することができる。

【0025】また本発明に係る電気光学装置は、互いに交差する第1～第Nの走査ライン及び複数の信号ラインにより特定される画素と、前記第1～第Nの走査ラインを走査駆動する上記いずれか記載の走査駆動回路と、画像データに基づいて前記信号ラインを駆動する信号駆動回路とを含むことを特徴とする。

【0026】本発明によれば、パースシャル表示制御による低消費電力化を実現する電気光学装置を提供することができ、例えばアクティブマトリクス型液晶パネルに適用することで、高画質なパースシャル表示をも実現することができる。

【0027】また本発明は、各走査ラインに対応して設けられたフリップフロップが直列接続された第1～第Nのフリップフロップを有し、所与のパルス信号を順次シフトするシフトレジスタと、前記第1～第Nのフリップフロップの出力ノードの電圧レベルをシフトして出力する第1～第Nのレベルシフト回路を含むレベル変換手段と、第1～第Nのレベルシフト回路の出力ノードの論理レベルに対応して、第1～第Nの走査ラインを順次駆動

する第1～第Nの駆動回路を含む走査ライン駆動手段とを有し、互いに交差する第1～第Nの走査ライン及び第1～第Mの信号ラインにより特定される画素を有する電気光学装置の第1～第Nの走査ラインを駆動する走査駆動回路の走査駆動方法であって、前記第1～第Nの走査ラインが複数の走査ラインごとのブロックに分割される場合に、ブロック単位で選択された走査ラインが、順次走査駆動されることを特徴とする。

【0028】本発明によれば、ブロック単位にパーシャル表示を制御することができるので、制御回路の簡素化と、低消費電力化とを図ることができ、例えばアクティブマトリクス型液晶パネルに適用することで、高画質なパーシャル表示をも実現することができる。

【0029】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0030】1. 表示装置

1.1 表示装置の構成

図1に、本実施形態における走査駆動回路（走査ドライバ）を適用した表示装置の構成の概要を示す。

【0031】表示装置としての液晶装置10は、液晶ディスプレイ（Liquid Crystal Display：以下、LCDと略す。）パネル20、信号ドライバ（信号駆動回路）（狭義には、ソースドライバ）30、走査ドライバ（走査駆動回路）（狭義には、ゲートドライバ）50、LCDコントローラ60、電源回路80を含む。

【0032】LCDパネル（広義には、電気光学装置）20は、例えばガラス基板上に形成される。このガラス基板には、Y方向に複数配列されそれぞれX方向に伸びる走査ライン（狭義には、ゲートライン） $G_1 \sim G_N$ （Nは、2以上の自然数）と、X方向に複数配列されそれぞれY方向に伸びる信号ライン（狭義には、ソースライン）信号ライン $S_1 \sim S_M$ （Mは、2以上の自然数）とが配置されている。また、走査ライン $G_n$ （ $1 \leq n \leq N$ 、nは自然数）と信号ライン $S_m$ （ $1 \leq m \leq M$ 、mは自然数）との交差点に対応して、TFT22<sub>nm</sub>（広義には、スイッチング手段）が設けられている。

【0033】TFT22<sub>nm</sub>のゲート電極は、走査ライン $G_n$ に接続されている。TFT22<sub>nm</sub>のソース電極は、信号ライン $S_m$ に接続されている。TFT22<sub>nm</sub>のドレイン電極は、液晶容量（広義には液晶素子）24<sub>nm</sub>の画素電極26<sub>nm</sub>に接続されている。

【0034】液晶容量24<sub>nm</sub>においては、画素電極26<sub>nm</sub>に対向する対向電極28<sub>nm</sub>との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて画素の透過率が変化するようになっている。

【0035】対向電極28<sub>nm</sub>には、電源回路80により生成された対向電極電圧 $V_{com}$ が供給されている。

【0036】信号ドライバ30は、一水平走査単位の画像データに基づいて、LCDパネル20の信号ライン $S$

$_1 \sim S_M$ を駆動する。

【0037】走査ドライバ50は、一垂直走査期間内に、水平同期信号に同期して、LCDパネル20の走査ライン $G_1 \sim G_N$ を順次走査駆動する。

【0038】LCDコントローラ60は、図示しない中央処理装置（Central Processing Unit：以下、CPUと略す。）等のホストにより設定された内容に従って、信号ドライバ30、走査ドライバ50及び電源回路80を制御する。より具体的には、LCDコントローラ60は、信号ドライバ30及び走査ドライバ50に対して、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路80に対しては対向電極電圧 $V_{com}$ の極性反転タイミングの供給を行う。

【0039】電源回路80は、外部から供給される基準電圧に基づいて、LCDパネル20の液晶駆動に必要な電圧レベルや、対向電極電圧 $V_{com}$ を生成する。このような各種電圧レベルは、信号ドライバ30、走査ドライバ50及びLCDパネル20に供給される。また、対向電極電圧 $V_{com}$ は、LCDパネル20のTFTの画素電極に対向して設けられた対向電極に供給される。

【0040】このような構成の液晶装置10は、LCDコントローラ60の制御の下、外部から供給される画像データに基づいて、信号ドライバ30、走査ドライバ50及び電源回路80が協調してLCDパネル20を表示駆動する。

【0041】なお、図1では、液晶装置10にLCDコントローラ60を含めて構成するようにしているが、LCDコントローラ60を液晶装置10の外部に設けて構成するようにしても良い。或いは、LCDコントローラ60と共にホストを液晶装置10に含めるように構成することも可能である。

【0042】（信号ドライバ）図2に、図1に示した信号ドライバの構成の概要を示す。

【0043】信号ドライバ30は、シフトレジスタ32、ラインラッチ34、36、ディジタル・アナログ変換回路（広義には、駆動電圧生成回路）38、信号ライン駆動回路40を含む。

【0044】シフトレジスタ32は、複数のフリップフロップを有しており、これらフリップフロップが順次接続される。このシフトレジスタ32は、クロック信号CLKに同期してイネーブル入出力信号EIOを保持すると、順次クロック信号CLKに同期して隣接するフリップフロップにイネーブル入出力信号EIOをシフトする。

【0045】また、このシフトレジスタ32には、シフト方向切り替え信号SHLが供給される。シフトレジスタ32は、このシフト方向切り替え信号SHLにより、画像データ（DIO）のシフト方向と、イネーブル入出力信号EIOの入出力方向が切り替えられる。したがっ

て、このシフト方向切り替え信号SHLによりシフト方向を切り替えることによって、信号ドライバ30の実装状態により信号ドライバ30に対して画像データを供給するLCDコントローラ60の位置が異なった場合であっても、その配線の引き回しによって実装面積が拡大することなく、柔軟な実装を可能にすることができる。

【0046】ラインラッチ34は、LCDコントローラ60から例えば18ビット（6ビット（階調データ）×3（RGB各色））単位で画像データ（DIO）が入力される。ラインラッチ34は、この画像データ（DIO）を、シフトレジスタ32の各フリップフロップで順次シフトされたイネーブル入出力信号EIOに同期してラッチする。

【0047】ラインラッチ36は、LCDコントローラ60から供給される水平同期信号LPに同期して、ラインラッチ34でラッチされた一水平走査単位の画像データをラッチする。

【0048】DAC38は、信号ラインごとに、画像データに基づいてアナログ化された駆動電圧を生成する。

【0049】信号ライン駆動回路40は、DAC38によって生成された駆動電圧に基づいて、信号ラインを駆動する。

【0050】このような信号ドライバ30は、LCDコントローラ60から順次入力される所与の単位（例えば18ビット単位）の画像データを順次取り込み、水平同期信号LPに同期して一水平走査単位の画像データをラインラッチ36で一旦保持する。そして、この画像データに基づいて、各信号ラインを駆動する。この結果、LCDパネル20のTFTのソース電極には、画像データに基づく駆動電圧が供給される。

【0051】（走査ドライバ）図3に、図1に示した走査ドライバの構成の概要を示す。

【0052】走査ドライバ50は、シフトレジスタ52、レベルシフタ（Level Shifter：以下、L/Sと略す。）54、56、走査ライン駆動回路58を含む。

【0053】シフトレジスタ52は、各走査ラインに対応して設けられたフリップフロップが順次接続される。このシフトレジスタ52は、クロック信号CLKに同期してイネーブル入出力信号EIOをフリップフロップに保持すると、順次クロック信号CLKに同期して隣接するフリップフロップにイネーブル入出力信号EIOをシフトする。ここで入力されるイネーブル入出力信号EIOは、LCDコントローラ60から供給される垂直同期信号である。

【0054】L/S54は、LCDパネル20の液晶材とTFTのトランジスタ能力とに応じた電圧レベルにシフトする。この電圧レベルとしては、例えば20V～50Vの高い電圧レベルが必要とされるため、他のロジック回路部とは異なる高耐圧プロセスが用いられる。

【0055】走査ライン駆動回路58は、L/S54に

よってシフトされた駆動電圧に基づいて、CMOS駆動を行う。また、この走査ドライバ50は、L/S56を有しており、LCDコントローラ60から供給される出力イネーブル信号XOEの電圧シフトが行われる。走査ライン駆動回路58は、L/S56によってシフトされた出力イネーブル信号XOEにより、オンオフ制御が行われる。

【0056】このような走査ドライバ50は、垂直同期信号として入力されたイネーブル入出力信号EIOが、クロック信号CLKに同期してシフトレジスタ52の各フリップフロップに順次シフトされる。シフトレジスタ52の各フリップフロップは、各走査ラインに対応して設けられているため、各フリップフロップに保持された垂直同期信号のパルスにより、走査ラインが択一的に順次選択される。選択された走査ラインは、L/S54によってシフトされた電圧レベルで、走査ライン駆動回路58により駆動される。これにより、LCDパネル20のTFTのゲート電極には、一垂直走査周期で所与の走査駆動電圧が供給されることになる。このとき、LCDパネル20のTFTのドレイン電極は、ソース電極に接続される信号ラインの電位に対応して、ほぼ同等の電位となる。

【0057】（LCDコントローラ）図4に、図1に示したLCDコントローラの構成の概要を示す。

【0058】LCDコントローラ60は、制御回路62、ランダムアクセスメモリ（Random Access Memory：以下、RAMと略す。）（広義には、記憶手段）64、ホスト入出力回路（I/O）66、LCD入出力回路68を含む。さらに、制御回路62は、コマンドシーケンサ70、コマンド設定レジスタ72、コントロール信号生成回路74を含む。

【0059】制御回路62は、ホストによって設定された内容にしたがい、信号ドライバ30、走査ドライバ50及び電源回路80の各種動作モード設定や同期制御等を行う。より具体的には、コマンドシーケンサ70が、ホストからの指示に従って、コマンド設定レジスタ72で設定された内容に基づいて、コントロール信号生成回路74で同期タイミングを生成したり、信号ドライバ等に対して所与の動作モードを設定したりする。

【0060】RAM64は、画像表示を行うためのフレームバッファとしての機能を有するとともに、制御回路62の作業領域にもなる。

【0061】このLCDコントローラ60は、ホストI/O66を介して、画像データや、信号ドライバ30及び走査ドライバ50を制御するためのコマンドデータが供給される。ホストI/O66には、図示しないCPUや、デジタル信号処理装置（Digital Signal Processor：DSP）或いはマイクロプロセッサユニット（Micro Processor Unit：MPU）が接続される。

【0062】LCDコントローラ60は、画像データと

して図示しないCPUより静止画データが供給されたり、DSP或いはMPUより動画データが供給される。また、LCDコントローラ60は、コマンドデータとして図示しないCPUより、信号ドライバ30又は走査ドライバ50を制御するためのレジスタの内容や、各種動作モードを設定するためのデータが供給される。

【0063】画像データとコマンドデータは、それぞれ別個のデータバスを介してデータを供給するようにしても良いし、データバスを共用化しても良い。この場合、例えばコマンド(CoMmanD:CMD)端子に入力された信号レベルによって、データバス上のデータが、画像データか、或いはコマンドデータかを識別できるようにすることで、画像データとコマンドデータとの共用化を容易に図ることができ、実装面積の縮小化が可能になる。

【0064】LCDコントローラ60は、画像データが供給された場合、この画像データをフレームバッファとしてのRAM64に保持する。一方、コマンドデータが供給された場合、LCDコントローラ60は、コマンド設定レジスタ72若しくはRAM64に保持する。

【0065】コマンドシーケンサ70は、コマンド設定レジスタ72に設定された内容にしたがって、コントロール信号生成回路74により各種タイミング信号を生成させる。また、コマンドシーケンサ70は、コマンド設定レジスタ72に設定された内容にしたがって、LCD入出力回路68を介して、信号ドライバ30、走査ドライバ50若しくは電源回路80のモード設定を行う。

【0066】また、コマンドシーケンサ70は、コントロール信号生成回路74で生成された表示タイミングにより、RAM64に記憶された画像データから所与の形式の画像データを生成し、LCD入出力回路68を介して、信号ドライバ30に供給するようになっている。

#### 【0067】1. 2 反転駆動方式

ところで、液晶を表示駆動する場合、液晶の耐久性や、コントラストの観点から、周期的に液晶容量に蓄積される電荷を放電する必要がある。そのため、上述した液晶装置10では、交流化駆動によって、所与の周期で液晶に印加される電圧の極性を反転させることが行われる。この交流化駆動方式としては、例えばフレーム反転駆動方式や、ライン反転駆動方式がある。

【0068】フレーム反転駆動方式は、フレームごとに液晶容量に印加される電圧の極性を反転する方式である。一方、ライン反転駆動方式は、ラインごとに液晶容量に印加される電圧の極性を反転する方式である。なお、ライン反転駆動方式の場合も、各ラインに着目すれば、フレーム周期で液晶容量に印加される電圧の極性も反転される。

【0069】図5(A)、(B)に、フレーム反転駆動方式の動作を説明するための図を示す。図5(A)は、フレーム反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 $V_{com}$ の波形を模式的に示したものであ

る。図5(B)は、フレーム反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示したものである。

【0070】フレーム反転駆動方式では、図5(A)に示すように信号ラインに印加される駆動電圧の極性が1フレーム周期ごとに反転されている。すなわち、信号ラインに接続されるTFTのソース電極に供給される電圧 $V_s$ は、フレーム $f_1$ では正極性「 $+V$ 」、後続のフレーム $f_2$ では負極性の「 $-V$ 」となる。一方、TFTのドレイン電極に接続される画素電極に対向する対向電極に供給される対向電極電圧 $V_{com}$ も、信号ラインの駆動電圧の極性反転周期に同期して反転される。

【0071】液晶容量には、画素電極と対向電極との電圧の差が印加されるため、図5(B)に示すようにフレーム $f_1$ では正極性、フレーム $f_2$ では負極性の電圧がそれぞれ印加されることになる。

【0072】図6(A)、(B)に、ライン反転駆動方式の動作を説明するための図を示す。

【0073】図6(A)は、ライン反転駆動方式による信号ラインの駆動電圧及び対向電極電圧 $V_{com}$ の波形を模式的に示したものである。図6(B)は、ライン反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示したものである。

【0074】ライン反転駆動方式では、図6(A)に示すように信号ラインに印加される駆動電圧の極性が、各水平走査周期(1H)ごとに、かつ1フレーム周期ごとに反転されている。すなわち、信号ラインに接続されるTFTのソース電極に供給される電圧 $V_s$ は、フレーム $f_1$ の1Hでは正極性「 $+V$ 」、2Hでは負極性の「 $-V$ 」となる。なお、当該電圧 $V_s$ は、フレーム $f_2$ の1Hでは負極性「 $-V$ 」、2Hでは正極性の「 $+V$ 」となる。

【0075】一方、TFTのドレイン電極に接続される画素電極に対向する対向電極に供給される対向電極電圧 $V_{com}$ も、信号ラインの駆動電圧の極性反転周期に同期して反転される。

【0076】液晶容量には、画素電極と対向電極との電圧の差が印加されるため、走査ラインごとに極性を反転することで、図6(B)に示すようにフレーム周期で、各ラインごとに極性が反転する電圧がそれぞれ印加されることになる。

【0077】一般的に、フレーム反転駆動方式に比べてライン反転駆動方式のほうが、変化の周期が1ライン周期となるため、画質の向上に貢献できるものの、消費電力が大きくなる。

#### 【0078】1. 3 液晶駆動波形

図7に、上述した構成の液晶装置10のLCDパネル20の駆動波形の一例を示す。ここでは、ライン反転駆動方式により駆動する場合を示している。

【0079】上述したように、液晶装置10では、LCDコントローラ60によって生成された表示タイミングに従って、信号ドライバ30、走査ドライバ50及び電源回路80が制御される。LCDコントローラ60は、信号ドライバ30に対しては一水平走査単位の画像データを順次転送するとともに、内部で生成した水平同期信号や反転駆動タイミングを示す極性反転信号POLを供給する。また、LCDコントローラ60は、走査ドライバ50に対しては、内部で生成した垂直同期信号を供給する。さらに、LCDコントローラ60は、電源回路80に対して対向電極電圧極性反転信号VCOMを供給する。

【0080】これにより、信号ドライバ30は、水平同期信号に同期して、一水平走査単位の画像データに基づいて信号ラインの駆動を行う。走査ドライバ50は、垂直同期信号をトリガとして、LCDパネル20にマトリックス状に配置されたTFTのゲート電極に接続される走査ラインを、順次駆動電圧Vgで走査駆動する。電源回路80は、内部で生成した対向電極電圧Vcomを、対向電極電圧極性反転信号VCOMに同期して極性反転を行いながら、LCDパネル20の各対向電極に供給する。

【0081】液晶容量には、TFTのドレイン電極に接続される画素電極と対向電極の電圧Vcomとの電圧に応じた電荷が充電される。したがって、液晶容量に蓄積された電荷によって保持された画素電極電圧Vpが、所与の閾値V<sub>CL</sub>を越えると画像表示が可能となる。画素電極電圧Vpが所与の閾値V<sub>CL</sub>を越えると、その電圧レベルに応じて画素の透過率が変化し、階調表現が可能となる。

## 【0082】2. 走査ドライバ

### 2.1 ブロック単位の走査駆動制御

本実施形態における走査ドライバ50は、所与の複数の信号ラインごとに分割されたブロックを単位として指定されたブロックの各走査ラインを順次走査駆動することによって、パースシャル表示を実現することができるようになっている。

【0083】より具体的には、本実施形態における走査ドライバ50は、ブロック単位で設定された表示エリアに対応する走査ラインを対象に順次走査駆動を行い、ブロック単位で非表示エリアに対応する走査ラインについて走査駆動を行わない。こうすることで、不要な非表示エリアの走査駆動を省略することができ、低消費電力化を図ることができる。したがって、バッテリー駆動される電子機器において、高画質化を実現できるTFTを用いたアクティブマトリクス型液晶パネルを採用すると、従来よりも長時間使用することができるようになる。

【0084】本実施形態では、このブロックを8走査ライン単位としている。これにより、LCDパネル20の表示エリアをキャラクタ文字（1バイト）単位で設定す

ることができるので、携帯電話機のようなキャラクタ文字の表示を行う電子機器において、効率的な表示エリアの設定及びその画像表示が可能となる。

【0085】図8（A）、（B）、（C）に、このような本実施形態における走査ドライバにより実現したパースシャル表示の一例を模式的に示す。

【0086】例えば、図8（A）に示すようにLCDパネル20に対して、Y方向に複数の信号ラインが配列されるように信号ドライバ30を配置し、X方向に複数の走査ラインが配列されるように走査ドライバ50を配置した場合、図8（B）に示すようにブロック単位で非表示エリア100Bを設定する。こうすることで、表示エリア102A、104Aに対応するブロックの走査ラインのみを順次走査駆動すればよい。

【0087】或いは、図8（C）に示すようにブロック単位で表示エリア106Aを設定することで、非表示エリア108B、110Bに対応するブロックの走査ラインを走査駆動する必要がなくなる。また、図8（B）、（C）において、複数の非表示エリア若しくは表示エリアを設定するようにしても良い。

【0088】図9（A）、（B）、（C）に、本実施形態による走査ドライバにより実現したパースシャル表示の他の例を模式的に示す。

【0089】この場合、図9（A）に示すようにLCDパネル20に対して、X方向に複数の信号ラインが配列されるように信号ドライバ30を配置し、Y方向に複数の走査ラインが配列されるように走査ドライバ50を配置すると、図9（B）に示すようにブロック単位で非表示エリア120Bを設定することで、表示エリア122A、124Aに対応するブロックの走査ラインのみを順次走査駆動すればよい。

【0090】或いは、図9（C）に示すようにブロック単位で表示エリア126Aを設定することで、非表示エリア128B、130Bに対応するブロックの走査ラインを走査駆動する必要がない。なお、図9（B）、（C）において、複数の非表示エリア若しくは表示エリアを設定するようにしても良い。

【0091】また、各表示エリアは、例えば静止画表示エリアと動画表示エリアとを区切るようにしても良い。こうすることで、ユーザにとって見やすい画面を提供することができるとともに、低消費電力化を図ることが可能となる。

### 【0092】2.2 リフレッシュ

これまで、TFTを用いたアクティブマトリクス型液晶パネルでは、ダイナミックに切り替え可能なパースシャル表示制御が行われていなかった。上述したように、液晶の寿命の関係で、例えば60分の1秒ごとに交流化駆動を行っている。しかしながら、液晶容量に電荷が蓄積された状態でゲート電極をオンにしようとしてしまうと液晶が劣化してしまうため、液晶容量に蓄積される電荷を放電する



必要がある。そこで、TFTを用いたアクティブマトリクス型液晶パネルでは、非表示エリアについては、液晶容量の画素電極と対向電極との電圧差を0にすることが行われる。

【0093】ところが、TFTのリークによって液晶容量には次第に電荷が蓄積されてしまうので、TFTのゲート電極をオフの状態を維持したとしても、最終的には閾値 $V_{CL}$ を越える電荷が蓄積されることになり、その結果画素の透過率が変化し、例えばグレイ表示となり、いわゆるパーシャル表示ができなくなる。

【0094】すなわち、STN液晶を用いたパッシブマトリクス型液晶パネルの場合には走査駆動しない限り容易に実現できたパーシャル表示制御方法を、TFTを用いたアクティブマトリクス型液晶パネルにそのまま適用することはできない。したがって、これまでTFTを用いたアクティブマトリクス型液晶パネルにおいて非表示エリアを設定した場合、電源投入時から固定的に設定するしかなく、ダイナミックに切り替え可能なパーシャル表示制御を行うことができなかった。

【0095】これに対して、本実施形態では、TFTのゲート電極の電圧を制御することにより、ダイナミックに切り替え可能なパーシャル表示制御を実現する。そして、このパーシャル表示制御により、非表示エリアの走査駆動に消費される電力を低減若しくは削減することが可能となる。

【0096】より具体的には、本実施形態における走査ドライバ50は、ブロック単位で表示エリアに設定された走査ラインについて1フレーム周期で走査駆動を行い、ブロック単位で非表示エリアに設定された走査ラインを含む全走査ラインについて3フレーム以上の任意の奇数フレーム周期で走査駆動する。

【0097】図10(A)、(B)に、本実施形態における走査ドライバ50の動作の一例を示す。

【0098】例えば、LCDパネル20のY軸方向に複数の走査ラインが配列された場合に、図10(A)に示すようにブロック単位に表示エリア及び非表示エリアA、Bが設定されているものとする。

【0099】本実施形態における走査ドライバ50は、表示エリア及び非表示エリアA、Bのブロックの全走査ラインを順次走査駆動するフレームを1フレーム目とした場合に、例えば図10(B)に示すように2フレームを空けた4フレーム目で、LCDパネル20の全走査ラインを順次走査駆動する。すなわち、図10(B)では、3フレーム周期でLCDパネル20の全走査ラインを走査駆動している。

【0100】例えば1フレーム目の液晶容量の印加電圧の極性が正の場合、4フレーム目の当該液晶容量の印加電圧の極性が負となり、7フレーム目の当該液晶容量の印加電圧の極性が正となって、交流化駆動を実現させることができる。しかも、全走査ラインを走査駆動するフ

レーム(1フレーム目と4フレーム目)の間の2フレーム目及び3フレーム目において、非表示エリアA、Bに対応する走査ラインを走査駆動しないため、その分電力消費を低減させることが可能となる。

【0101】これにより、TFTを用いたアクティブマトリクス型液晶パネルにおいてフレーム周期で交流化駆動が行われる場合に、液晶容量の印加電圧の極性反転を行うとともに、不要な走査駆動の削減による消費電力の低減が可能となる。

【0102】以下では、このような本実施形態における走査ドライバ50の具体的な構成例について説明する。

【0103】3. 本実施形態における走査ドライバの構成の具体例

### 3.1 第1の構成例

図11に、第1の構成例における走査ドライバの構成の概要を示す。

【0104】第1の構成例における走査ドライバ200は、シフトレジスタ202、L/S204、206、走査ライン駆動回路208を含む。

【0105】シフトレジスタ202は、走査ライン $G_1 \sim G_N$ (第1～第Nの走査ライン)のそれぞれに対応して設けられたフリップフロップ(Flip-Flop: 以下、FFと略す。)  $F_{F1} \sim F_{FN}$ (第1～第NのFF)が直列に接続される。 $FF_1$ (第1のFF)には、LCDコントローラ60から供給されるイネーブル入出力信号EIOが供給される。また、 $FF_1 \sim F_{FN}$ は、同様にLCDコントローラ60からクロック信号CLKが供給される。したがって、 $FF_1 \sim F_{FN}$ は、クロック信号CLKに同期してイネーブル入出力信号EIO(所与のパルス信号)を順次シフトする。

【0106】LCDコントローラ60から供給されるイネーブル入出力信号EIOは、垂直同期信号である。また、LCDコントローラ60から供給されるクロック信号CLKは、水平同期信号である。

【0107】L/S204は、走査ライン $G_1 \sim G_N$ のそれぞれに対応して設けられたレベルシフト回路 $LS_1 \sim LS_N$ (第1～第Nのレベルシフト回路)を有しており、対応する $FF_1 \sim F_{FN}$ の保持データの高電位側の電圧レベルを例えば20～50Vの電圧レベルにシフトする。

【0108】L/S206は、LCDコントローラ60から供給される出力イネーブル信号XOEVの反転信号の高電位側の電圧レベルを例えば20V～50Vの電圧レベルにシフトする。

【0109】走査ライン駆動回路208は、走査ライン $G_1 \sim G_N$ のそれぞれに対応して、マスク回路としてのAND回路 $210_1 \sim 210_N$ 、CMOSバッファ回路 $212_1 \sim 212_N$ を含む。AND回路 $210_1 \sim 210_N$ 及びCMOSバッファ回路 $212_1 \sim 212_N$ は、上述した例えば20V～50Vの電圧レベルで動作可能な高耐圧プ

ロセスにより形成される。なお、この電圧レベルは、例えば駆動対象のLCDパネル20の液晶材等に応じて決められる。

【0110】このような構成の走査ドライバ200は、LCDコントローラ60から供給される出力イネーブル信号XOEVのタイミング制御によって、表示エリアに設定された走査ラインを対象に順次走査駆動する。

【0111】すなわち、図示しないホストによってLCDパネル20の表示領域が全て表示エリアに設定されたLCDコントローラ60は、所与の垂直走査周期で垂直同期信号、所与の水平走査周期で水平同期信号を、それぞれ走査ドライバ200に供給する。このとき、LCDコントローラ60は、出力イネーブル信号XOEVの論理レベル「L」の状態のままにすることで、CMOSバッファ回路212<sub>1</sub>～212<sub>N</sub>は、LS<sub>1</sub>～LS<sub>N</sub>の論理レベルに対応した電位で各走査ラインG<sub>1</sub>～G<sub>N</sub>を順次駆動する。

【0112】一方、LCDパネル20の表示領域において非表示エリアが設定されたLCDコントローラ60は、上述したタイミングと同じタイミングの垂直同期信号及び水平同期信号と、非表示エリアに対応する走査ラインの走査タイミングに同期して論理レベルが「H」となる出力イネーブル信号XOEVを走査ドライバ200に供給する。

【0113】すなわち、走査ラインG<sub>1</sub>～G<sub>N</sub>は択一的に駆動されるため、非表示エリアに対応する走査タイミングに合わせて出力イネーブル信号XOEVを供給することで、AND回路によりLSの出力ノードの論理レベルがマスクされて論理レベル「L」となるため、当該走査ラインの駆動は行われない。第1の構成例では、8走査ライン単位を1ブロックとしてパシシャル表示制御が行われる。そのため、LCDコントローラ60は、走査ドライバ200に対して、ブロック単位で制御される出力イネーブル信号XOEVを供給する。

【0114】図12に、第1の構成例における走査ドライバ200によるパシシャル表示制御タイミングの一例を示す。

【0115】ここでは、ブロックB1のみが表示エリアに設定され、ブロックB0、B2、・・・が非表示エリアに設定されているものとする。

【0116】上述したように液晶の劣化を防止するため、TFTに接続された液晶容量に蓄積された電荷を所与の頻度で放電する必要がある。走査ドライバ200は、奇数(2<sup>i</sup>-1、iは自然数)フレーム周期でLCDパネル20の全走査ラインを順次駆動する。なお、走査ドライバ200は、1フレーム周期(i=1)でLCDパネル20の全走査ラインを順次駆動した場合、パシシャル表示制御に伴う低消費電力化の効果を得ることができなくなるため、3フレーム周期より長い周期である方が望ましい。このフレーム周期は液晶材に依存する

が、走査駆動電圧が低いほどフレーム周期を長く設定することができる。なお、図12では、3(i=2)フレーム周期で全走査ラインを順次駆動する場合を示している。

【0117】すなわち、走査ドライバ200は、1フレーム目及び4フレーム目において、全走査ラインを順次走査駆動する。

【0118】より具体的には、1フレーム目及び4フレーム目において、走査ドライバ200は、入出力イネーブル信号EIOをクロック信号CLKに同期して取り込むと、シフトレジスタ202のFF<sub>1</sub>～FF<sub>N</sub>において順次シフトする。LCDコントローラ60は、各ブロックの走査ラインの走査タイミングに合わせて、論理レベルが「L」となる出力イネーブル信号XOEVを走査ドライバ200に供給する。走査ドライバ200において、走査ライン駆動回路208のAND回路210<sub>1</sub>～210<sub>N</sub>は、LS<sub>1</sub>～LS<sub>N</sub>の出力ノードの電位をそのままCMOSバッファ回路212<sub>1</sub>～212<sub>N</sub>に供給する。したがって、走査ラインG<sub>1</sub>～G<sub>N</sub>に接続されるTFTのゲート電極には、順次走査駆動が行われて、信号ラインに接続された電位が液晶容量に印加されることになる。このとき、液晶容量の画素電極には、液晶容量の対向電極電圧V<sub>com</sub>との間の電圧差が液晶の所与の閾値V<sub>CL</sub>より小さくなるような電圧が印加されるようにする。或いは、液晶容量の画素電極には、液晶容量の対向電極電圧V<sub>com</sub>と同等の電圧が印加されるようにすることも可能である。

【0119】また、走査ドライバ200は、上述した1フレーム目と4フレーム目との間の2フレーム目及び3フレーム目において、表示エリアに対応する走査ラインのみを順次走査駆動し、非表示エリアに対応する走査ラインの駆動を行わない。

【0120】より具体的には、2フレーム目及び3フレーム目において、走査ドライバ200は、入出力イネーブル信号EIOをクロック信号CLKに同期して取り込むと、シフトレジスタ202のFF<sub>1</sub>～FF<sub>N</sub>において順次シフトする。LCDコントローラ60は、非表示エリアに設定されたブロックB0の走査ラインG<sub>1</sub>～G<sub>8</sub>の走査タイミングT0に合わせて、論理レベルが「H」となる出力イネーブル信号XOEVを走査ドライバ200に供給する。したがって、走査ドライバ200において、走査ライン駆動回路208のAND回路210<sub>1</sub>～210<sub>8</sub>は、LS<sub>1</sub>～LS<sub>8</sub>の出力ノードの論理レベルをマスクして論理レベルを「L」とする。これにより、走査ラインG<sub>1</sub>～G<sub>8</sub>に接続されるTFTのゲート電極には、低電位側の電位が供給されたままとする。

【0121】また、LCDコントローラ60は、表示エリアに設定されたブロックB1の走査ラインG<sub>9</sub>～G<sub>16</sub>の走査タイミングT1に合わせて、論理レベルが「L」となる出力イネーブル信号XOEVを走査ドライバ200

0に供給する。したがって、走査ドライバ200において、走査ライン駆動回路208のAND回路210<sub>9</sub>210<sub>16</sub>は、LS<sub>9</sub>~LS<sub>16</sub>の出力ノードの電位をそのままCMOSバッファ回路212<sub>9</sub>~212<sub>16</sub>に供給する。これにより、走査ラインG<sub>9</sub>~G<sub>16</sub>に接続されるTFTのゲート電極には、順次走査駆動が行われて、信号ラインに接続された電位が液晶容量に印加されることになる。

【0122】さらに、LCDコントローラ60は、非表示エリアに設定されたブロックB2の走査ラインG<sub>17</sub>~G<sub>24</sub>の走査タイミングT2に合わせて、論理レベルが「H」となる出力イネーブル信号XOE Vを走査ドライバ200に供給し、走査タイミングT1と同様に走査ラインへの駆動を停止させる。

【0123】(その他のリフレッシュタイミング)このような出力イネーブル信号XOE Vを走査ドライバ200に供給するLCDコントローラ60は、図示しないホストからコマンド若しくは画像データを受け取り、その内容にしたがって走査ドライバ200及び信号ドライバ30を制御する。

【0124】図13に、このようなホストによって行われるパシシャル表示制御の制御内容の一例を示す。

【0125】図示しないホスト(例えば、CPU)は、メモリ等に記憶されたプログラムにしたがって、例えば表示エリア設定イベント、表示エリア消滅イベント若しくは表示エリア変更イベントの発生を監視する(ステップS10:N、ステップS12:N、ステップS14:N)。

【0126】ホストは、表示エリア設定イベントの発生を検出すると(ステップS10:Y)、当該表示エリアを設定すべき走査ラインを指定するコマンドをLCDコントローラ60に送信して(ステップS11)、次のイベント発生を監視する(リターン)。

【0127】LCDコントローラ60は、ステップS11で指定されたコマンドを受信すると、コマンドシーケンサ70の制御の下、コントロール信号生成回路74において、出力イネーブル信号XOE Vの論理レベルを「L」にして、全走査ラインを走査駆動してリフレッシュを行う。LCDコントローラ60は、このリフレッシュが行われたフレームを図12に示す1フレーム目とし、2フレーム目以降において、ホストによって指定された表示エリアに対応する走査ラインの走査タイミングに合わせて図12に示したタイミングでパシシャル表示制御が行われる。

【0128】ホストは、表示エリア消滅イベントの発生を検出すると(ステップS10:N、ステップS12:Y)、当該表示エリアを更新するコマンドをLCDコントローラ60に送信して(ステップS13)、次のイベント発生を監視する(リターン)。

【0129】LCDコントローラ60は、ステップS1

3で指定されたコマンドを受信すると、コマンドシーケンサ70の制御の下、コントロール信号生成回路74において、出力イネーブル信号XOE Vの論理レベルを「L」にして、全走査ラインを走査駆動してリフレッシュを行う。LCDコントローラ60は、このリフレッシュが行われたフレームを図12に示す1フレーム目とし、2フレーム目以降において、ホストによって指示された消滅後の表示エリアに対応する走査ラインの走査タイミングに合わせて図12に示したタイミングでパシシャル表示制御が行われる。

【0130】ホストは、表示エリア変更イベントの発生を検出すると(ステップS10:N、ステップS12:Y)、当該表示エリアを変更するコマンドをLCDコントローラ60に送信して(ステップS15)、次のイベント発生を監視する(リターン)。

【0131】LCDコントローラ60は、ステップS15で指定されたコマンドを受信すると、コマンドシーケンサ70の制御の下、コントロール信号生成回路74において、出力イネーブル信号XOE Vの論理レベルを「L」にして、全走査ラインを走査駆動してリフレッシュを行う。LCDコントローラ60は、このリフレッシュが行われたフレームを図12に示す1フレーム目とし、2フレーム目以降において、ホストによって指示された変更後の表示エリアに対応する走査ラインの走査タイミングに合わせて図12に示したタイミングでパシシャル表示制御が行われる。

【0132】このように、表示エリアの設定値が更新されるイベントを検出するたびに、図12で示したように1フレーム目として全走査ラインを順次走査駆動することで、液晶劣化を回避するとともに非表示エリアの走査駆動を最低限に抑えて、適切なパシシャル表示制御が可能となる。

【0133】3. 2 第2の構成例

第1の構成例における走査ドライバは、LCDコントローラにより制御されたタイミングに従って、パシシャル表示制御を行っていたが、第2の構成例における走査ドライバはLCDコントローラに制御されることなく、パシシャル表示制御を行うことができるようになってい。そのため、第2の構成例における走査ドライバは、ブロック単位で指定されるブロック選択データを保持するブロック選択レジスタを含む。各ブロックの走査ラインは、各ブロックに対応して設定されたブロック選択データに基づいて、走査駆動のオンオフ制御が行われる。

【0134】図14に、第2の構成例における走査ドライバの構成の概要を示す。

【0135】第2の構成例における走査ドライバ220は、シフトレジスタ222、L/S224、226、走査ライン駆動回路228を含む。

【0136】シフトレジスタ222は、走査ラインG<sub>1</sub>~G<sub>N</sub>(第1~第Nの走査ライン)のそれぞれに対応し

て設けられた $FF_1 \sim FF_N$  (第1～第NのFF) が直列に接続される。 $FF_1$  (第1のFF) には、LCDコントローラ60から供給されるイネーブル入出力信号EIOが供給される。また、 $FF_1 \sim FF_N$ は、同様にLCDコントローラ60から供給されるクロック信号CLKが供給される。したがって、 $FF_1 \sim FF_N$ は、クロック信号CLKに同期してイネーブル入出力信号EIO (所与のパルス信号) を順次シフトする。

【0137】LCDコントローラ60から供給される入力イネーブル信号は、垂直同期信号である。また、LCDコントローラ60から供給されるクロック信号CLKは、水平同期信号である。

【0138】 $L/S224$ は、走査ライン $G_1 \sim G_N$ のそれぞれに対応して設けられたレベルシフト回路 $LS_1 \sim LS_N$  (第1～第NのLS回路) を有しており、対応する $FF_1 \sim FF_N$ の保持データのHigh側の電圧レベルを例えば20V～50Vの電圧レベルにシフトする。

【0139】 $L/S226$ は、LCDコントローラ60から供給される出力イネーブル信号XOEVの反転信号のHigh側の電圧レベルを例えば20V～50Vの電圧レベルにシフトする。

【0140】走査ライン駆動回路228は、走査ライン $G_1 \sim G_N$ のそれぞれに対応して、マスク回路としてのAND回路230<sub>1</sub>～230<sub>N</sub>、CMOSバッファ回路232<sub>1</sub>～232<sub>N</sub>を含む。AND回路230<sub>1</sub>～230<sub>N</sub>及びCMOSバッファ回路232<sub>1</sub>～232<sub>N</sub>は、上述した例えば20V～50Vの電圧レベルで動作可能な高耐圧プロセスにより形成される。なお、この電圧レベルは、例えば駆動対象のLCDパネル20の液晶材等に応じて決められる。

【0141】AND回路230<sub>1</sub>～230<sub>N</sub>は、 $LS_1 \sim LS_N$ によってレベルシフトされた $FF_1 \sim FF_N$ の出力ノードの論理レベルを、 $L/S226$ によってレベルシフトされた出力イネーブル信号XOEVと、ブロック単位で指定されるブロック選択データとによりマスクする。より具体的には、ブロック選択データが「0」に設定されている場合、出力イネーブル信号XOEVの論理レベルにかかわらず、 $LS_1 \sim LS_N$ の出力ノードの論理レベルを「L」にマスクする。また、ブロック選択データが「1」に設定されている場合、出力イネーブル信号XOEVの論理レベルが「L」のとき、 $LS_1 \sim LS_N$ の出力ノードの論理レベルを「L」にマスクする。

【0142】ブロック選択データは、ブロック単位に設けられる $FF_{B0} \sim FF_{BQ}$ に保持される。 $FF_{B0}$ には、LCDコントローラ60からシリアル入力されるブロック選択データBLKが供給される。 $FF_{B0} \sim FF_{BQ}$ は、LCDコントローラ60から、シリアル入力されるブロック選択データBLKを順次取り込むためのクロック信号BCLKが共通に供給される。 $FF_{B0} \sim FF_{BQ}$ は、 $FF_{B0}$ に供給されたブロック選択データBLKを、クロック

信号BCLKに同期して順次シフトする。

【0143】さらに、第2の構成例における走査ドライバ220は、イネーブル入出力信号EIOをブロック単位にバイパスするためのデータ切り替え回路 (バイパス手段) 234<sub>0</sub>～234<sub>Q-1</sub>が設けられている。

【0144】図15 (A)、(B) に、データ切り替え回路の動作の概要を示す。

【0145】第Pのブロック ( $1 \leq P \leq Q-1$ 、Pは自然数) に対応して設けられたデータ切り替え回路234<sub>P</sub>は、ブロック選択データにより走査ラインの駆動を行うように指定された場合、図15 (A) に示すように第(P-1)のブロックの最終段のFFからのシフト入力を順次シフトして、第(P+1)のブロックに供給する。こうすることで、第Pのブロックのシフトレジスタを構成するFFのシフト出力に基づいて、第Pのブロックの走査ラインが駆動される。

【0146】一方、データ切り替え回路234<sub>P</sub>は、ブロック選択データにより走査ラインの駆動を行わないように指定された場合、図15 (B) に示すように、第Pのブロックの初段のFFに入力されるシフト入力と、第Pのブロックの最終段のFFのシフト出力のうち、第Pのブロックの初段のFFに入力されるシフト入力をバイパスして第(P+1)のブロックに供給する。

【0147】例えば、ブロック選択データによりブロックB1の走査ライン駆動を行わないように指定した場合、ブロックB0の $FF_1$ に供給されるイネーブル入出力信号EIOは、 $FF_2 \sim FF_8$ によりクロック信号CLKに同期してシフトされるが、ブロックB1の $FF_9$ に対応して設けられたデータ切り替え回路234<sub>1</sub>により、ブロックB2の $FF_{17}$ に $FF_8$ のシフト出力が供給されることになる。

【0148】より具体的には、ブロックB0に対応して設けられたデータ切り替え回路234<sub>0</sub>は、前段のブロックから供給されるシフト出力 (ブロックB0では $FF_1$ に供給されるイネーブル入出力信号EIO) と、当該ブロックの最終段のFFのシフト出力 (ブロックB0では $FF_8$ から出力されるシフト出力) とを、当該ブロックのブロック選択データにより切り替える。データ切り替え回路234<sub>0</sub>により切り替えられた出力信号は、ブロックB1に供給される。

【0149】なお、このようなデータ切り替え回路は、所与のシフト方向切り替え信号SHLにより、イネーブル入出力信号EIOのシフト方向を切替可能とするために、各ブロックについて逆側に設けるようにすることも可能である。この場合、ブロックBQ～B1に対応したデータ切り替え回路が設けられることになる。

【0150】このような構成の走査ドライバ220においても、上述したようにブロック単位で表示エリアに設定された走査ラインについて1フレーム周期で走査駆動するが、ブロック単位で非表示エリアに設定された走査

ラインを含む全走査ラインについても任意の奇数フレーム周期で走査駆動する。このため、走査ドライバ220では、LCDコントローラ60により、走査駆動対象のブロックを変更するブロック選択データの更新が例えば帰線期間を利用して行われる。

【0151】すなわち、LCDパネル20の表示領域の全走査ラインを駆動するフレームの場合、LCDコントローラ60は、走査ドライバ220の各ブロックに設けられた $FF_{B0} \sim FF_{BQ}$ に対し、全ブロックのブロック選択データが「1」となるように設定する。その後、LCDコントローラ60は、所与の垂直走査周期で垂直同期信号、所与の水平走査周期で水平同期信号を、それぞれ走査ドライバ220に供給する。このとき、LCDコントローラ60は、出力イネーブル信号 $XOE_V$ の論理レベル「L」の状態のままにすることで、CMOSバッファ回路232<sub>1</sub>～232<sub>N</sub>は、 $LS_1 \sim LS_N$ の論理レベルに対応した電位で各走査ライン $G_1 \sim G_N$ を順次駆動する。

【0152】また、LCDコントローラ60は、図示しないホストによってLCDパネル20の表示エリアのみを走査駆動するフレームの場合、LCDコントローラ60は、走査ドライバ220の各ブロックに設けられた $FF_{B0} \sim FF_{BQ}$ に対し、表示エリアに設定されたブロックのブロック選択データが「1」、非表示エリアに設定されたブロックのブロック選択データが「0」となるように設定する。

【0153】その後、LCDコントローラ60は、上述したタイミングと同じタイミングの垂直同期信号及び水平同期信号を走査ドライバ220に供給する。このとき、LCDコントローラ60は、出力イネーブル信号 $XOE_V$ の論理レベル「L」の状態のままにすることで、CMOSバッファ回路232<sub>1</sub>～232<sub>N</sub>は、ブロック単位で設定されたブロック選択データが「0」の場合、AND回路によりLSの出力ノードの論理レベルがマスクされて論理レベル「L」となるため、当該走査ラインの駆動は行われない。

【0154】図16に、第2の構成例における走査ドライバ220によるパルシャル表示制御タイミングの一例を示す。

【0155】ここでは、ブロックB1のみが表示エリアに設定され、ブロックB0、B2、・・・が非表示エリアに設定されているものとする。

【0156】第2の構成例における走査ドライバ220についても、第1の構成例と同様に1フレーム目及び4フレーム目において、ブロックB0～BQに対応する全走査ラインを順次走査駆動し、2フレーム目及び3フレーム目において、表示エリアに設定されたブロックB1の走査ラインのみを走査駆動する。

【0157】より具体的には、走査ドライバ220は、2フレーム目及び3フレーム目において、表示エリアに

設定されたブロックの走査ラインにのみイネーブル入出力信号 $EIO$ が供給される。したがって、走査ドライバ220は、表示エリアに対応する期間T11のみを走査駆動する。このとき、LCDコントローラ60により制御される信号ドライバは、表示エリアに対応した画像データに基づいて信号ラインを駆動する。こうすることで、表示エリアに対応する走査タイミングだけ駆動を行えばよく、2フレーム目及び3フレーム目においては、走査駆動停止期間T12を設けることができる。

【0158】このため、2フレーム目及び3フレーム目において、走査駆動停止期間の分だけ走査駆動する必要がなくなるので、その分低消費化が可能となる。

【0159】こうすることで、不要な非表示エリアの走査駆動を省略することができ、低消費電力化を図ることができる。したがって、バッテリー駆動される電子機器において、高画質化を実現できるTFTを用いたアクティブマトリクス型液晶パネルを採用することが可能となる。

【0160】(変形例)図17に、第2の構成例における走査ドライバの変形例の構成を示す。

【0161】ただし、図16に示す走査ドライバと同一部分には同一符号を付し、適宜説明を省略する。

【0162】本変形例における走査ドライバ240が、第2の構成例における走査ドライバ220と異なる点は、シフトレジスタ242において、クロック信号 $BLK$ のシフト出力に同期して、ブロック選択データ $BLK$ をラッチ(LT)によりラッチさせるようにしたところにある。こうすることでも、ブロック単位にブロック選択データを設定することができ、上述した効果を得ることができる。

【0163】なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述したLCDパネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

【0164】また、本実施形態では、隣接する8走査ラインを1ブロックとして分割するものとして説明したが、これに限定されるものではない。また、隣接する複数の走査ラインごとに分割する必要もなく、所与の走査ライン間隔で選択した複数の走査ラインを1ブロックとして扱うようにしても良い。

【0165】さらにまた、本実施形態における走査ドライバは、ライン反転駆動方式に限らず、フレーム反転駆動方式にも適用することができる。

【0166】また、本実施形態では、表示装置に、LCDパネル、走査ドライバ及び信号ドライバを含むように構成したが、これに限定されるものではない。例えば、LCDパネルに、走査ドライバ及び信号ドライバを含んで構成するようにしても良い。

【0167】さらに、本実施形態では、TFT液晶を用

いたアクティブマトリクス型液晶パネルを例に説明したが、これに限定されるものではない。

【図面の簡単な説明】

【図 1】本実施形態における走査駆動回路（走査ドライバ）を適用した表示装置の構成の概要を示すブロック図である。

【図 2】図 1 に示した信号ドライバの構成の概要を示すブロック図である。

【図 3】図 1 に示した走査ドライバの構成の概要を示すブロック図である。

【図 4】図 1 に示した LCD コントローラの構成の概要を示すブロック図である。

【図 5】図 5 (A) は、フレーム反転駆動方式による信号ラインの駆動電圧及び対向電極電圧  $V_{com}$  の波形を模式的に示す模式図である。図 5 (B) は、フレーム反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示す模式図である。

【図 6】図 6 (A) は、ライン反転駆動方式による信号ラインの駆動電圧及び対向電極電圧  $V_{com}$  の波形を模式的に示す模式図である。図 6 (B) は、ライン反転駆動方式を行った場合に、フレームごとに、各画素に対応した液晶容量に印加される電圧の極性を模式的に示す模式図である。

【図 7】液晶装置の LCD パネルの駆動波形の一例を示す説明図である。

【図 8】図 8 (A)、(B)、(C) は、本実施形態における走査ドライバにより実現したパーシャル表示の一例を模式的に示す説明図である。

【図 9】図 9 (A)、(B)、(C) は、本実施形態における走査ドライバにより実現したパーシャル表示の他の例を模式的に示す説明図である。

【図 10】図 10 (A)、(B) は、本実施形態における走査ドライバの動作の一例を示す説明図である。

【図 11】第 1 の構成例における走査ドライバの構成の概要を示すブロック図である。

【図 12】第 1 の構成例における走査ドライバによるパーシャル表示制御タイミングの一例を示すタイミング図である。

【図 13】ホストによって行われるパーシャル表示制御の制御内容の一例を示すフロー図である。

【図 14】第 2 の構成例における走査ドライバの構成の概要を示すブロック図である。

【図 15】図 15 (A)、(B) は、データ切り替え回路の動作の概要を示す説明図である。

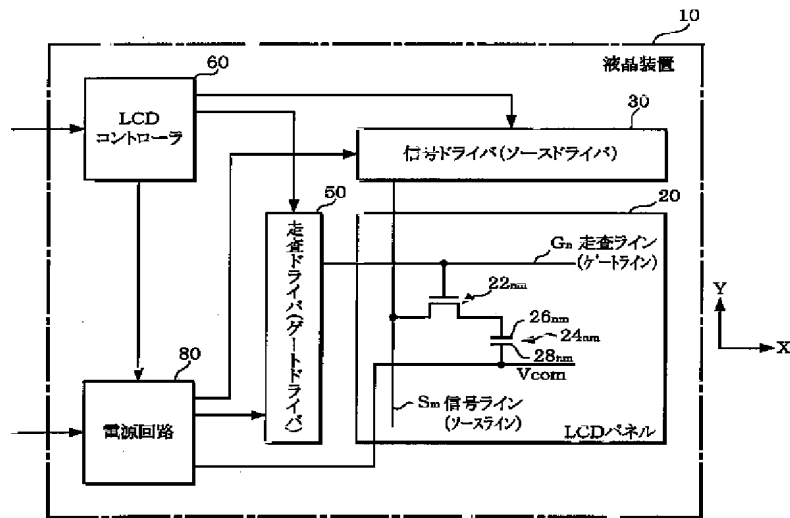
【図 16】第 2 の構成例における走査ドライバによるパーシャル表示制御タイミングの一例を示すタイミング図である。

【図 17】第 2 の構成例における走査ドライバの変形例の構成を示す構成図である。

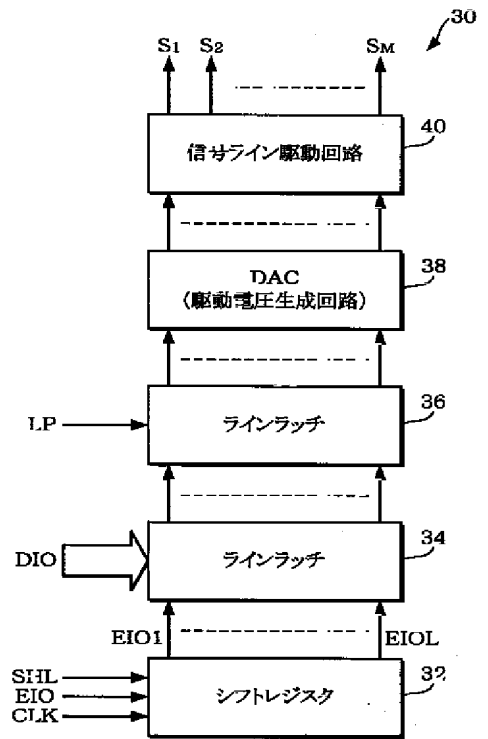
【符号の説明】

10 液晶装置（表示装置）  
 20 LCD パネル（電気光学装置）  
 22<sub>nm</sub> TFT  
 24<sub>nm</sub> 液晶容量  
 26<sub>nm</sub> 画素電極  
 28<sub>nm</sub> 対向電極  
 30 信号ドライバ  
 32、202、222、242 シフトレジスタ  
 34、36 ラインラッチ  
 38 駆動電圧生成回路（DAC）  
 40 信号ライン駆動回路  
 50、200、220、240 走査ドライバ  
 54、204、224、226 L/S  
 58、206、228 走査ライン駆動回路  
 60 LCD コントローラ  
 62 制御回路  
 64 RAM  
 66 ホスト I/O  
 68 LCD I/O  
 70 コマンドシーケンサ  
 72 コマンド設定レジスタ  
 74 コントロール信号生成回路  
 80 電源回路  
 100B、108B、120B、128B 非表示エリア  
 102A、106A、122A、126A 表示エリア  
 210<sub>1</sub>～210<sub>N</sub>、230<sub>1</sub>～230<sub>N</sub> AND 回路  
 212<sub>1</sub>～212<sub>N</sub>、232<sub>1</sub>～232<sub>N</sub> CMOS バッファ回路  
 234<sub>1</sub>～234<sub>q-1</sub> データ切り替え回路  
 CLK クロック信号  
 EIO イネーブル入出力信号  
 LP 水平同期信号  
 POL 極性反転信号  
 XOE V 出力イネーブル信号

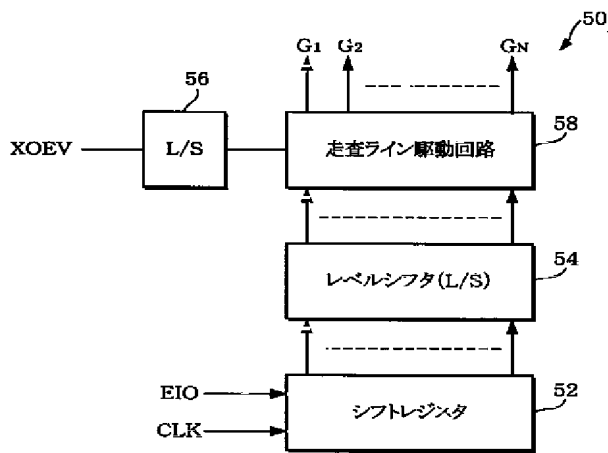
【図 1】



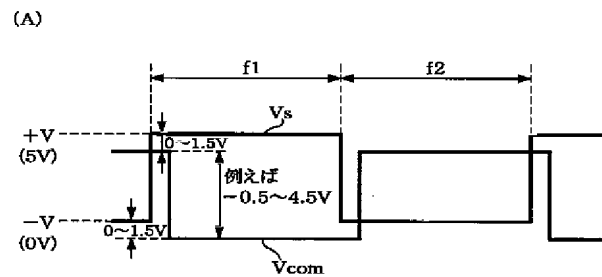
【図2】



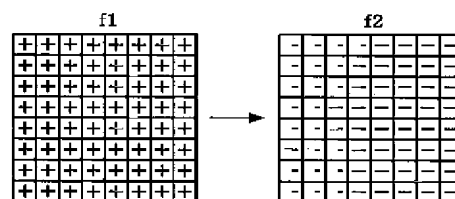
【図3】



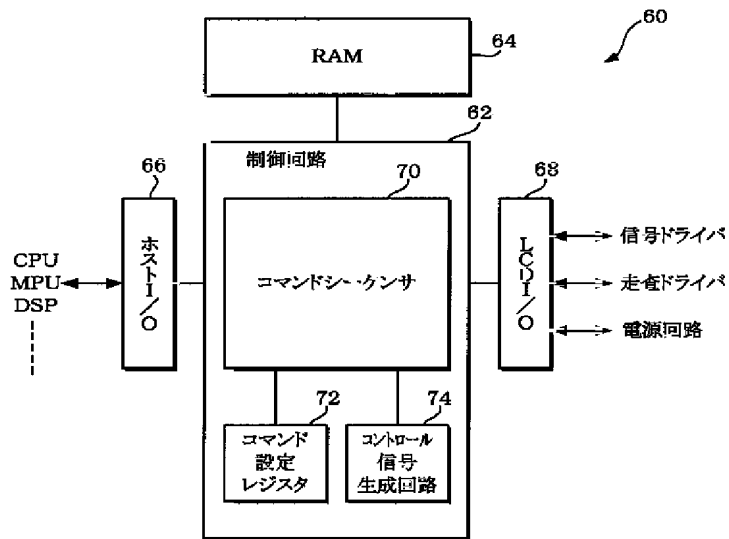
【図5】



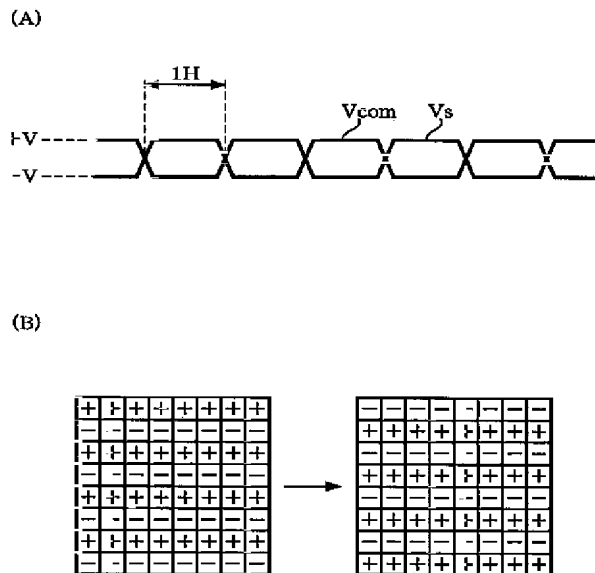
(B)



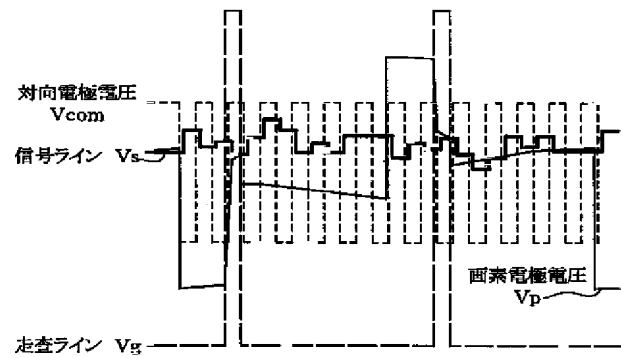
【図4】



【図6】

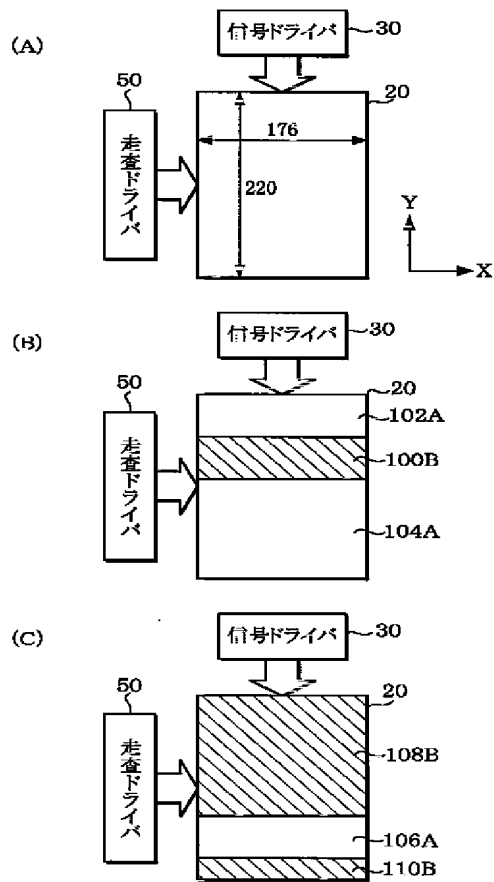


【図7】

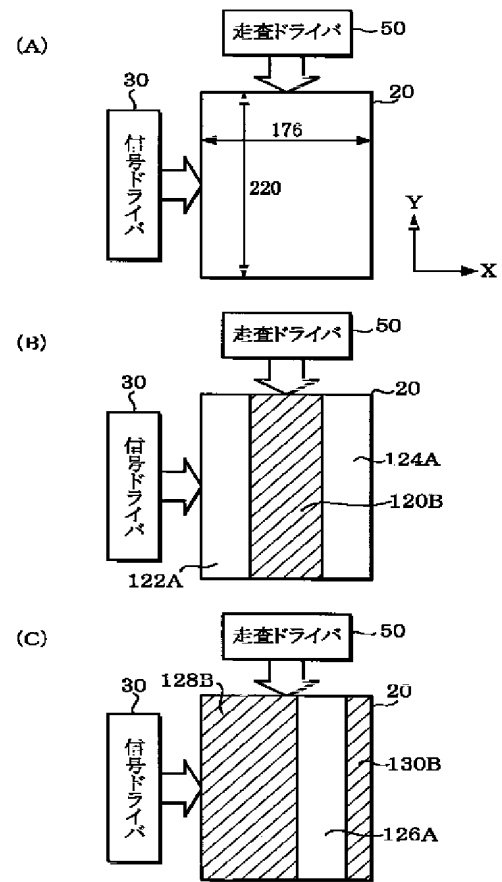




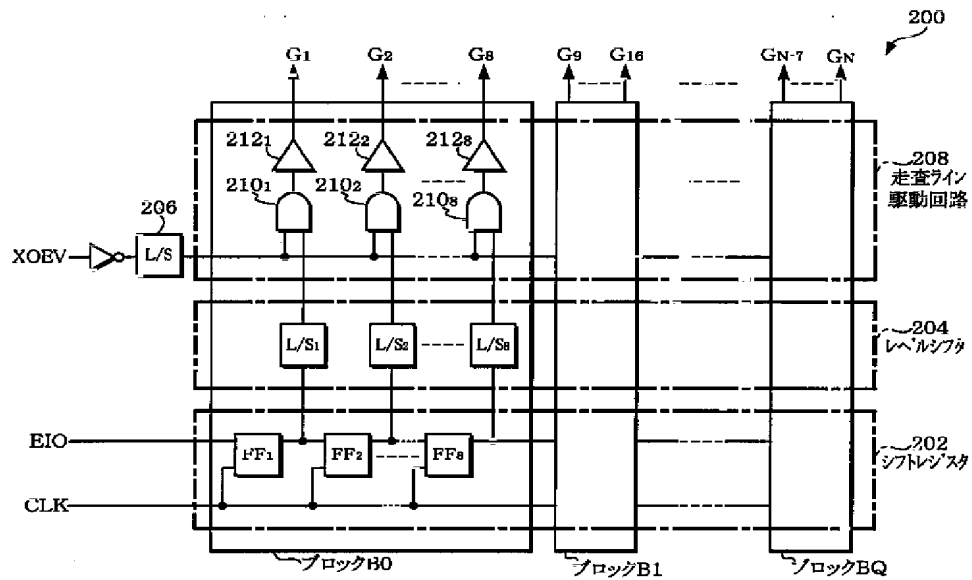
【図8】



【図9】

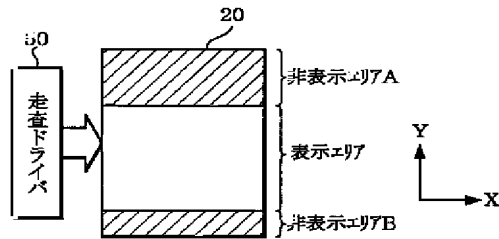


【図11】

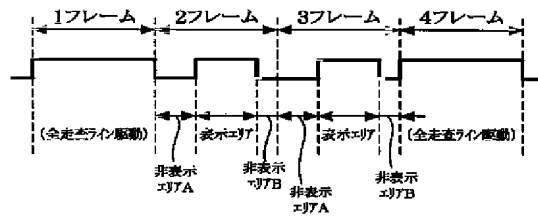


【図10】

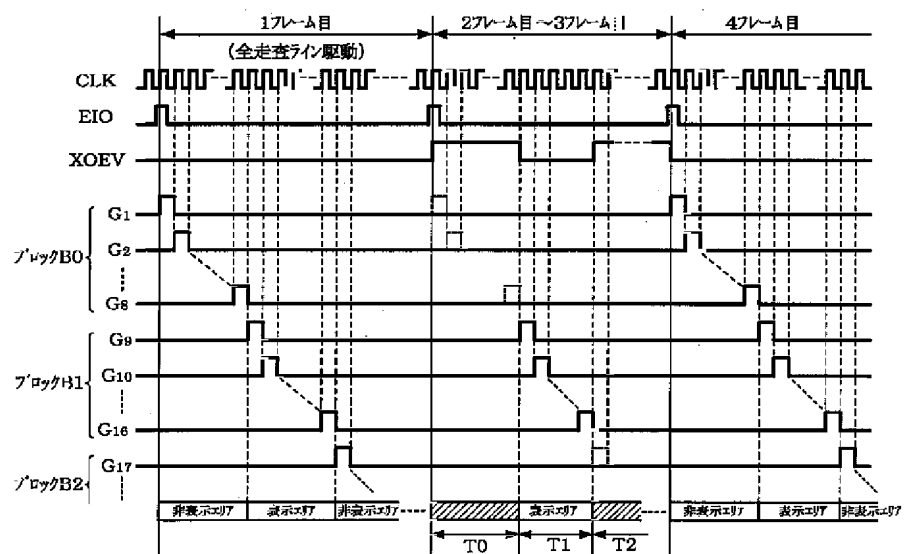
(A)



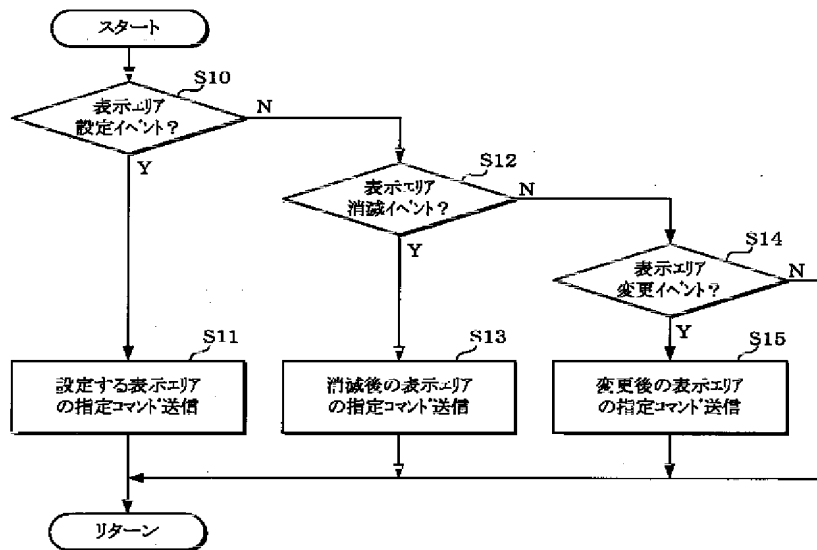
(B)



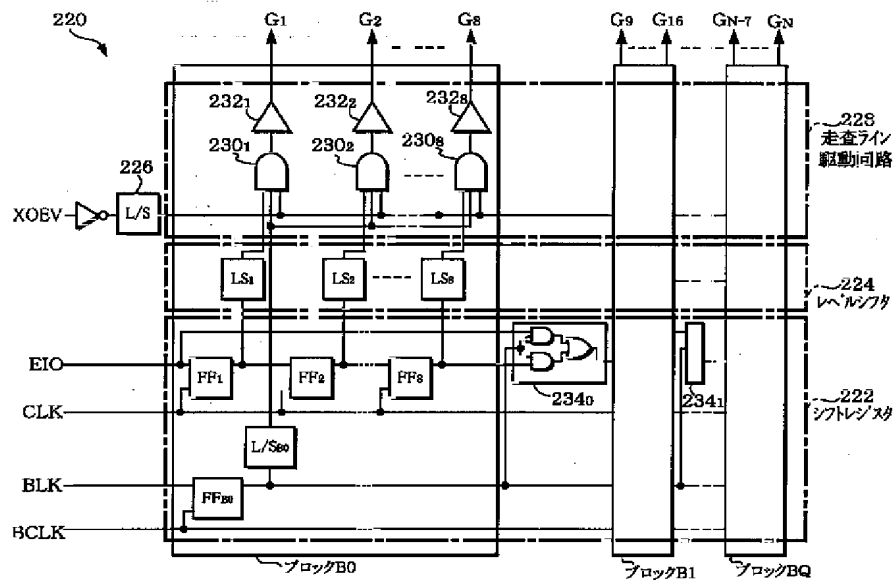
【図12】



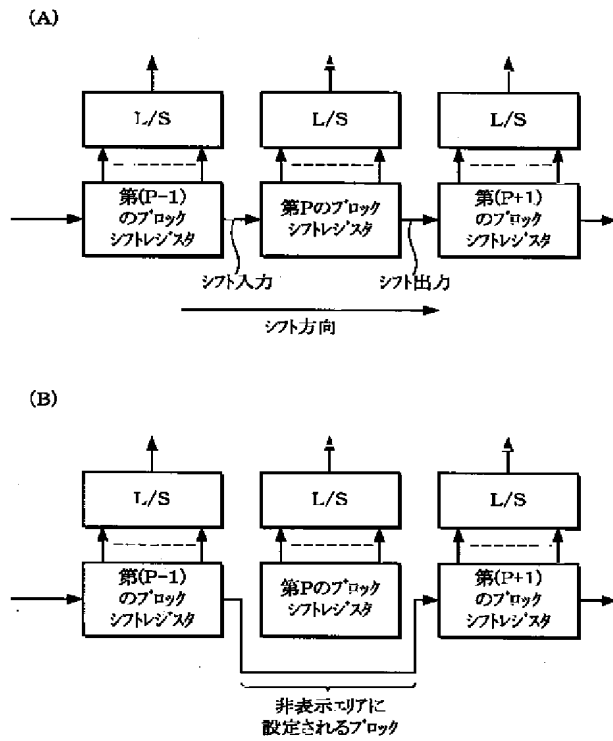
【図13】



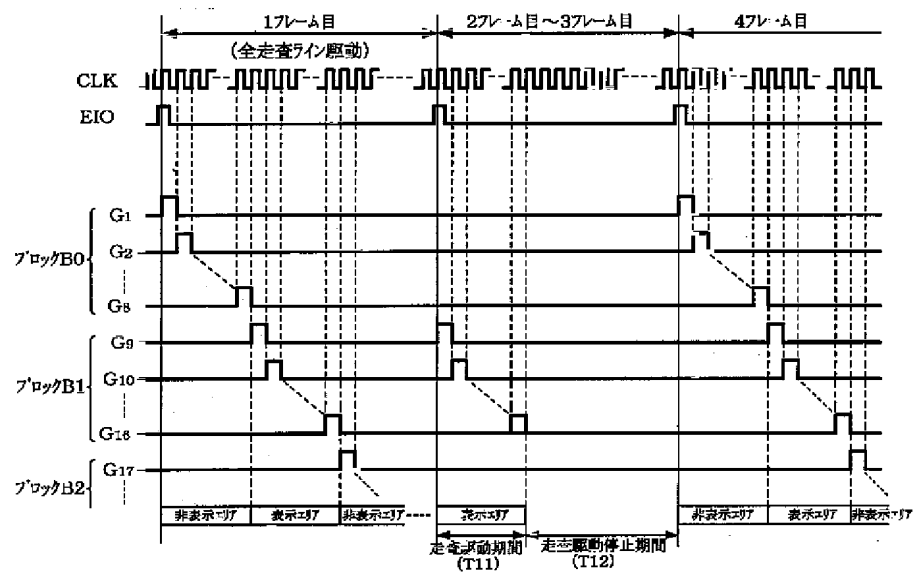
【図14】



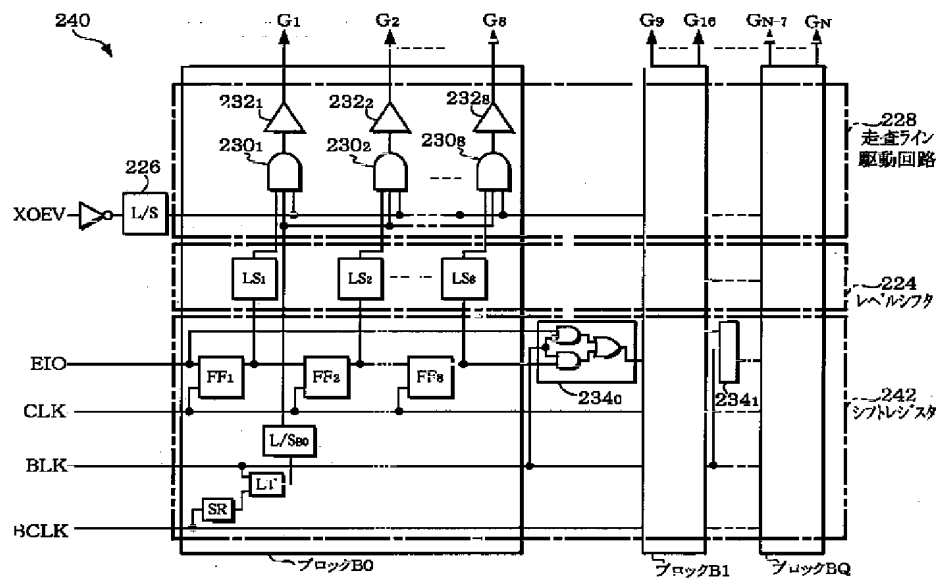
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	(参考)
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 K
	6 6 0		6 6 0 Q

F ターム(参考) 2H093 NA33 NA34 NA43 NC01 NC16  
 NC22 NC24 NC26 NC34 NC50  
 ND39 ND49  
 5C006 AC22 AF31 AF42 AF43 AF69  
 BB16 BC03 BC06 BC13 BC16  
 FA47  
 5C080 AA10 BB06 DD26 JJ02 JJ03  
 JJ04 JJ07